

## MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP101496

**Publication date:** 1989-01-19

Inventor: SAITO TOSHIQ

**Applicant:** NIPPON ELECTRIC CO.

#### **Classification:**

**- International:** *H01L29/78; H01L21/8234; H01L27/06; H01L29/47; H01L29/872; H01L29/66; H01L21/70; H01L27/06; H01L29/40; (IPC1-7): H01L27/06; H01L29/48; H01L29/78*

- European: H01L27/06D4V

**Application number:** JP19870171491 19870708

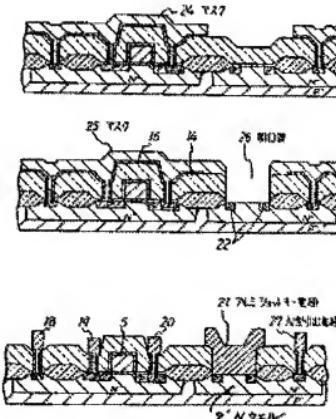
**Priority number(s):** JP19870171491 19870708

[Report a data error here](#)

## Abstract of JP1014967

**PURPOSE:** To make it possible to simultaneously form a Schottky barrier diode, having excellent characteristics of rectification, with a low degree of irregularity in characteristics, together with a MOS transistor.

**CONSTITUTION:** An interlayer insulating film 14 is formed on a substrate, and after a contact hole 15 has been formed, a polysilicon film 16 of 300-500Angstrom in thickness is formed on the whole surface of the substrate. Then, the film 16 alone on the region of the N-well 2', on which a Schottky barrier diode will be formed, is removed by conducting selective etching using a mask 24. Then, a refixed interlayer insulating film 14 is selectively removed using a mask 25, and an aperture part 26 is formed on a guard ring 22. Accordingly, as no film 16 is left on the interface of an aluminum Schottky electrode 21 and the N-well 2', the material is relatively alloyed uniform, the reverse- directioned leak current generated by a local breakdown due to field concentration can be reduced, and the abovementioned irregularity can also be reduced to a small value.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

## ⑫ 公開特許公報 (A) 昭64-14967

⑬ Int. Cl. 4 H 01 L 29/78 27/06 29/48	識別記号 301 102	序内整理番号 C-8422-5F 7735-5F A-7638-5F	⑭ 公開 昭和64年(1989)1月19日 審査請求 未請求 発明の数 1 (全6頁)
--	--------------------	---	--

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭62-171491

⑰ 出願 昭62(1987)7月8日

⑱ 発明者 斎藤 寿男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原晋

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

半導体基板上にMOSトランジスタの活性領域および基板コンタクト引出層とショット・パリアー・ダイオードのガード・リングおよび電極引出層をそれぞれ同時に形成する工程と、前記半導体基板を全面にわたり被覆する層間絶縁膜形成工程と、前記MOSトランジスタの活性領域、基板コンタクト引出層およびショット・パリアー・ダイオードの電極引出層上にそれぞれコンタクト孔を形成する前記層間絶縁膜の選択的エッチング工程と、前記コンタクト孔内を含む層間絶縁膜全面を被覆するポリシリコン膜形成工程と、前記ガード・リング上の少なくともガード・リング外縁を含む領域のポリシリコン膜を除去する前記ポリシリコン膜の選択的エッチング工程と、前記ポリシリコン膜除去去

領域内の層間絶縁膜に前記ガード・リングの外縁に達する深さの開口部を設ける前記層間絶縁膜の選択的エッチング工程と、前記層間絶縁膜の開口部を含む基板全面にアルミ膜を被覆せしめるアルミ膜形成工程と、前記コンタクト孔および開口部上にアルミ電極およびアルミ・ショットキー電極をそれぞれ形成する前記アルミ膜の選択的エッチング工程と、前記アルミ電極およびアルミ・ショットキー電極をマスクとして層間絶縁膜上の残余ポリシリコン層を全面除去するエッチング除去工程とを含むことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体装置の製造方法に関するもので、特にシリコンゲートMOSトランジスタとショットキーパリアー・ダイオードを同一基板上に形成する半導体装置の製造方法に関するものである。

## 〔従来の技術〕

従来、この種のショットキーバリア・ダイオードは、同一基板に形成されるシリコンゲート高耐圧MOSトランジスタと共に工程で形成されるのが通常である。従って、まず、このシリコンゲート高耐圧MOSトランジスタの一般的な製造工程から説明する。

第3図(a)～(f)はシリコンゲート高耐圧P-chMOSトランジスタの代表的製造工程順序図であるが、これによれば、P型半導体基板1の上面にはN型不純物層(Nウェル)2がまず形成され、ついで膜厚8000～10000Åのシリコン酸化膜から成る堀子分離絕縁膜3および薄いゲート絶縁膜4が選択的に形成される。(第4図(a)参照)。つぎに、この基板1の全面ポリシリコン膜(図示しない)が4000～6000Åの膜厚で形成され選択的エッチングによりポリシリコンゲート電極5だけを残して他は除去される。ここで、ポリシリコンゲート電極5の表面には薄いシリコン酸化膜6が熱処理により形成された後、ソース、ドレインを形成すべき予定領域がマスク6で被覆され、高濃度N型

にエッティング除去することにより所望のMOSトランジスタを得る(第4図(b)参照)。以上の製造工程においてポリシリコン膜16を各アルミ電極と基板上の不純物層との間に介在せしめるのはアルミアロイスペイク現象の発生を防止するためである。従って、この製造工程と共にNウェル上に作られるショットキー・バリア・ダイオードもアルミ・ショットキー電極の周囲にポリシリコン膜16を介在させて形成される。

第5図(a)および(b)はそれぞれ上記製造工程で形成されるアルミ・ショットキー電極およびNウェル・コンタクト電極の拡大断面図を示すもので、アルミ・ショットキー電極20とNウェル2およびアルミ電極18とコンタクト層8との間にポリシリコン膜16がそれぞれ介在する様子を明らかにしたものである。ここで、21はP型低誘電度ドレイン領域10と同時に作られるガード・リングを示すものである。

〔発明が解決しようとする問題点〕

以上の製造方法は従来のMOSトランジスタの製

不純物層(N<sup>+</sup>層)が所謂Nウェル・コンタクト引出層8として抵抗またはイオン注入法によって選択的に形成される。(第4図(c)参照)。ついでマスク・パターンはマスク9に付け直されてドレン側にP型の低誘電度ドレイン領域10が形成され(第4図(c)参照)、更にマスク11に付け直されてソース側にP型ソース領域12およびP型低誘電度ドレイン領域10内に高濃度ドレイン領域13がそれぞれ形成されて高耐圧構造とされる。(第4図(d)参照)。この段階で基板全面に層間絶縁膜14が膜厚10000Å程度形成され(第4図(e)参照)ついでドライまたはウェットエッチャング法で全てのコンタクト孔15が開口される(第4図(f)参照)。ここでコンタクト孔15内を含む基板全面には膜厚300～500Å程度のポリシリコン膜16が形成され、更にその表面には膜厚10000～12000Åのアルミニ膜17が形成される(第4図(g)参照)。ついで、このアルミニ膜17を選択的にエッチャングしてアルミニ電極18、19、20を形成し更にこのアルミニ電極をマスクとしてポリシリコン膜16を選択的

造工程を全く変えることなくショットキー・バリア・ダイオードを同時形成できるのが大きな特長であるが、しかし、この方法で作られたショットキー・バリア・ダイオードは特性が必ずしも良好なものが得られることが見て取れないことが本発明者により実験的に確かめられた。すなわち、従来の製造方法で作られたショットキー・バリア・ダイオードの順方向バイアスは1μAの電流で0.34V程度また、逆方向特性はバイアス25Vの場合リード電流が $3 \times 10^{-11} \sim 3 \times 10^{-10} A/mm^2$ と大きなバラツキを示す。このように、順方向バイアス電圧が高くまた耐圧不良発生率も著しいので従来の製造方法では安定したショットキー・バリア・ダイオードは得られないことが明らかとなった。上述したショットキー・バリア・ダイオードの不安定性はN型半導体領域(Nウェル)～アルミアロイスペイク防止用ポリシリコン～アルミ構造におけるシリコン～アルミ界面の不均一性に基づくものと考えられ、結局Nウェル(バルク)とアルミの間に介在するポリシリコン膜16により生じるもの

である。

本説明の目的は上記の情況に鑑み、整流特性のすぐれたショットキー・パリア・ダイオードを特性バラツキを少なくMOSトランジスタと同時に形成することのできる半導体装置の製造方法を提供することである。

〔問題点を解決するための手段〕

本発明によれば、半導体装置の製造方法は、半導体基板上にMOSトランジスタの活性領域および基板コンタクト引出層とショットキー・パリア・ダイオードのガード・リングおよび電極引出層をそれぞれ同時に形成する工程と、前記半導体基板を全面にわたり被覆する層間絶縁膜形成工程と、前記MOSトランジスタの活性領域、基板コンタクト引出層およびショットキー・パリア・ダイオードの電極引出層上にそれぞれコンタクト層を形成する前記層間絶縁膜の選択的エッティング工程と、前記コンタクト孔内を含む層間絶縁膜全面を被覆するポリシリコン膜形成工程と、前記ガード・リング上の少なくともガード・リング外縁を含む領域

のポリシリコン膜を除去する前記ポリシリコン膜の選択的エッティング工程と、前記ポリシリコン膜除去領域内の層間絶縁膜に前記ガード・リングの外縁に達する深さの開口部を設ける前記層間絶縁膜の選択的エッティング工程と、前記層間絶縁膜の開口部を含む基板全面にアルミ膜を被覆せしめるアルミ膜形成工程と、前記コンタクト孔および開口部上にアルミ電極およびアルミ・ショットキー電極をそれぞれ形成する前記アルミ膜の選択的エッティング工程と、前記アルミ電極およびアルミ・ショットキー電極をマスクとして層間絶縁膜上の残余ポリシリコン層を全面除去するエッティング除去工程とを含む。

〔実施例〕

以下図面を参照して本発明を詳細に説明する。

第1図(a)～(f)は本発明の一実施例を示す工程順序図で第4図と符号を統一して示したものである。この工程図では初期段階のものは全て省略されており、第1図(a)の工程段階は第4図(f)のコンタクト孔形成段階に相当する。ここで、22および23

は既に述べたようにP-Ch高耐圧MOSトランジスタのP型低濃度ドレイン領域10およびNウェル・コンタクト層8とそれぞれ同時にNウェル2'内に形成されたショットキー・パリア・ダイオードのガード・リングおよびN型引出層を示す。このようにコンタクト孔15を形成後基板全面には第1図(b)に示す如くポリシリコン膜16が3000～5000Åの厚さに形成される。つぎにマスク24を用いてショットキー・パリア・ダイオードを形成すべきNウェル2'の領域上のポリシリコン膜のみを選択的にエッティング除去し(第1図(c)参照)、ついでマスク25に付け直しドライまたはウェット・エッティング法を用いて層間絶縁膜14を選択的に除去しガード・リング22上に開口部26を形成する。(第1図(d)参照)。ここで、基板全面に第1図(e)に示すようにアルミ膜17を10000～12000Åの膜厚に形成し、従来と同じくこのアルミ膜17を選択エッティングしてMOSトランジスタのアルミ電極18, 19, 20およびショットキー・パリア・ダイオードのアルミ・ショットキー

電極21、N型引出電極27を形成し、更にこのアルミ電極をマスクとしてポリシリコン膜16を選択的に除去することによって第1図(f)に示す構成の半導体装置を得る。本実施例によれば、アルミ・ショットキー電極21とNウェル2'の界面はポリシリコン膜16が介在していないので比較的均一にアロイされる。従って電界集中による局部的ブレークダウンによる逆方向リーカ電流を低減することができると共にそのバラツキもきわめて小さな値に低減される。

第2図(a)および(b)はそれぞれ上記実施例によるショットキー・パリア・ダイオードと従来法によるショットキー・パリア・ダイオードとの特性比較を示す実験データ図である。ここでAおよびBはそれぞれ本発明方法および従来法による特性曲線を示す。

この実験結果により本実施例によるショットキー・パリア・ダイオードの順方向バイアス電圧は0.3V程度となり、また逆方向特性はバイアス25Vで $3 \times 10^{-14} A/\mu m^2$ 程度のリーカ電流にとど

る程に改善され、バラツキもまた大幅に低減されることが確認された。この際、MOSトランジスタのアルミ遮蔽18, 19, 20およびショットキー・バリア・ダイオードのN型引出電極27の周囲には従来と同じくボリシリコン膜16が介在されるので所謂アルミアロイスピク現象の発生を見ることはない。

第3図は本発明をP-Ch低耐圧MOSトランジスタを含む半導体装置の製造に実施した場合の完成断面図である。この場合には、ショットキー・バリア・ダイオードのガード・リング22はMOSトランジスタのソース、ドレイン領域12, 14'と共に形成される。従って、形成されるガード・リング22は高濃度のP型層となるが高電圧では使用しないので問題を生じることはない。

#### 【発明の効果】

以上詳細に説明したように、本発明によれば、MOSトランジスタの製造工程に変更を加えることなくこれと同一工程ですぐれたショットキー・バリア・ダイオードをバラツキ少なく同一基板上に

同時に形成し得るので、回路動作特性の安定したこの種半導体装置を大量に製造し得る顕著なる効果を有する。

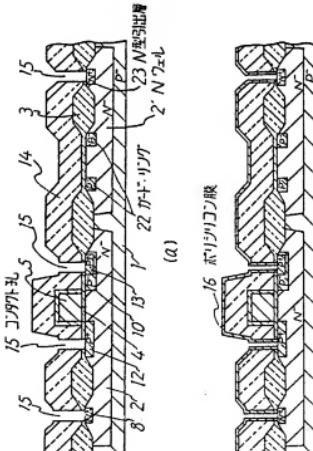
#### 4. 四面の簡単な説明

第1図(a)～(f)は本発明の一実施例を示す工程順序図、第2図(a)および(b)はそれぞれ上記実施例によるショットキー・バリア・ダイオードと從来法によるショットキー・バリア・ダイオードとの特性比較を示す実験データ図、第3図は本発明をP-Ch低耐圧MOSトランジスタを含む半導体装置の製造に実施した場合の完成断面図、第4図(a)～(b)はシリコンゲート高耐圧MOSトランジスタの代表的製造工程順序図、第5図(a)および(b)はそれぞれ上記製造工程で形成されるアルミ・ショットキー電極およびNウェル・コンタクト電極の拡大断面図である。

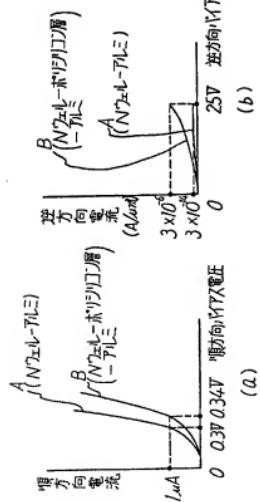
1 ……P型半導体基板、2, 2' ……N型ウェル、  
3 ……累子分離絶縁膜、4 ……ゲート絶縁膜、5  
……薄いシリコン被覆膜、6 ……シリコンゲート

電極、7, 9, 11, 24, 25 ……(レジスト)マスク、8 ……Nウェル・コンタクト引出層、10 ……P型低濃度ドレイン領域、12 ……P型ソース領域、13 ……P型高濃度ドレイン領域、14 ……漏間絶縁膜、15 ……コンタクト孔、16 ……ボリシリコン膜、17 ……アルミ膜、18, 19, 20 ……(MOSトランジスタの)アルミ遮蔽、21 ……アルミ・ショットキー電極、22 ……ガード・リング、23 ……(ショットキー・バリア・ダイオードの)N型引出層、26 ……開口部、27 ……(ショットキー・バリア・ダイオードの)N型引出電極。

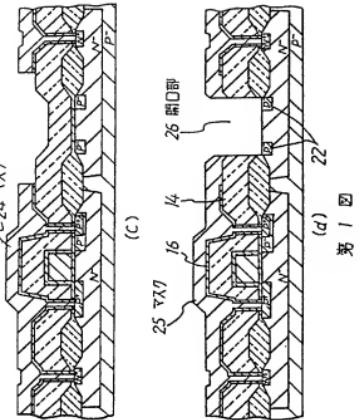
代理人 井川士 内原 香



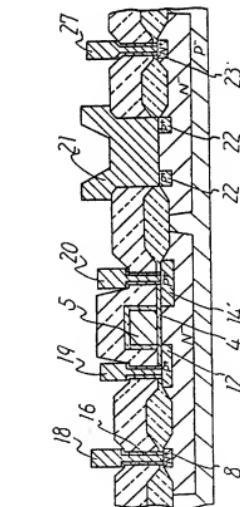
四  
一  
九  
九



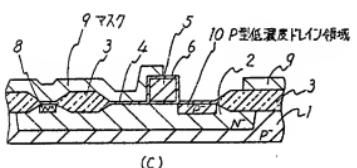
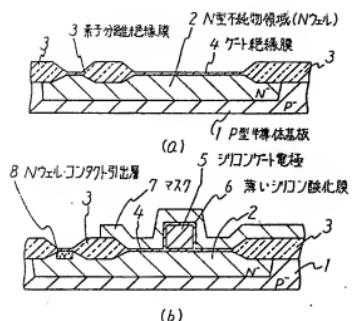
第 2 図



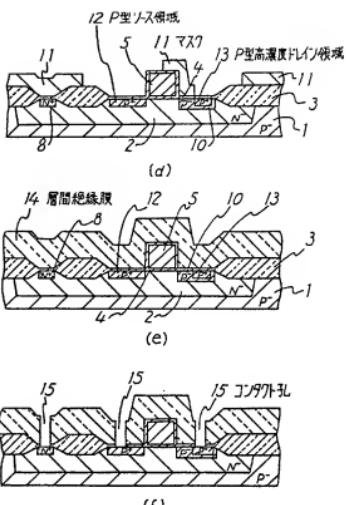
第 1 図



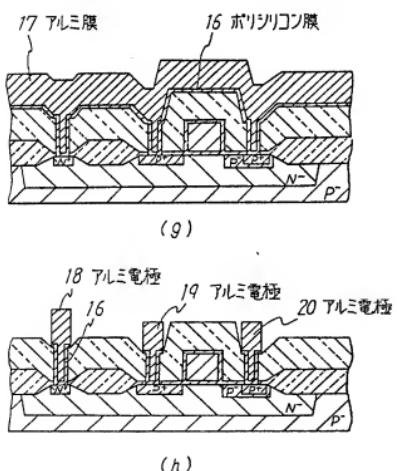
第 3 図



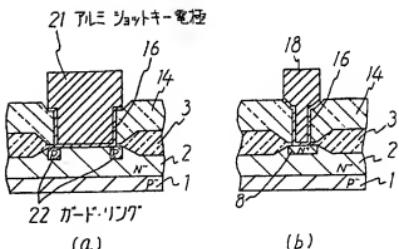
第4図



第4図



第4図



第5図